

Digital interpolator for measuring distances, or angles, has phase correction element between analogue-digital converters and co-ordinate transformation element to correct phase of digital input signals

Publication number: DE19934478

Publication date: 2001-02-08

Inventor: SCHOENITZ EVA (DE); FRIESE HOLGER (DE)

Applicant: GEMAC GES FUER MIKROELEKTRONIK (DE)

Classification:

- International: G01D5/244; H03M1/20; H03M1/30; G01D5/12; H03M1/20; H03M1/22; (IPC1-7): G01D5/244; G01B7/02; G01B7/30; G01D5/249; H03M1/18; H03M1/22

- European: H03M1/20J4; G01D5/244C

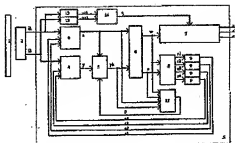
Application number: DE19991034478 19990727

Priority number(s): DE19991034478 19990727

[Report a data error here](#)

Abstract of DE19934478

The device has two analogue-digital converters - ADCs - (4) for analogue input signals followed by a co-ordinate element (6) connected to an evaluation circuit (7) and a regulator (8). A phase correction element (5) is arranged between the ADCs and the co-ordinate transformation element to correct the phase of the digital input signals. One digital input signal and one phase-corrected signal are fed back via a phase regulator (15) to the phase correction element with an amplitude error value and an angle value.



Data supplied from the esp@cenet database - Worldwide



⑮ **BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENT- UND
MARKENAMT**

Offenlegungsschrift DE 199 34 478 A 1

⑲ Aktenzeichen: 199 34 478.7
⑳ Anmeldetag: 27. 7. 1999
㉑ Offenlegungstag: 8. 2. 2001

⑳ Int. Cl.⁷:
G 01 D 5/244
G 01 D 5/249
G 01 B 7/02
G 01 B 7/30
H 03 M 1/18
H 03 M 1/22

DE 199 34 478 A 1

㉒ Anmelder:
Gemac - Gesellschaft für
Mikroelektronikanwendung Chemnitz mbH, 09113
Chemnitz, DE

㉓ Vertreter:
Seerig & Hübner, 09111 Chemnitz

㉔ Erfinder:
Schönitz, Eva, 09117 Chemnitz, DE; Friese, Holger,
09119 Chemnitz, DE

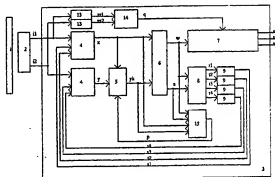
Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

㉕ **Digitale Interpolationseinrichtung**

① Aufgabe der Erfindung ist es, eine digitale Interpolationseinrichtung zur Erhöhung der Auflösung eines inkrementalen Weg- oder Winkelmeßsystems zu schaffen, bei der mit geringem technischen Aufwand und ohne zusätzlichen Einstellaufwand unabhängig von Amplitude und Lage der Signale zueinander eine hohe Regelgenauigkeit der Eingangssignale über einen großen Eingangsfrequenzbereich gewährleistet wird.

Erfindungsgemäß wird die Aufgabe dadurch gelöst, daß zur Korrektur der Phasenlage der digitalen Eingangswerte (x, y) zwischen den A/D-Umsetzeinrichtungen (4) und dem Koordinatentransformationsglied (6) ein Phasenkorrekturglied (5) angeordnet ist und daß sowohl einer der digitalen Eingangswerte (x) und der andere durch das Phasenkorrekturglied (5) korrigierte phasenrichtige digitale Eingangswert (y_k) als auch der Amplitudenfehlerwert (a) und der Winkelwert (w) als Ausgangssignale des Koordinatentransformationsgliedes (6) über einen Phasenregler (15) durch den Phasenkorrekturwert (p) auf das Phasenkorrekturglied (5) rückgekoppelt sind.

Die Erfindung betrifft eine digitale Interpolationseinrichtung, insbesondere zum Messen von Wegen und/oder Winkeln.



DE 199 34 478 A 1

Die Erfindung betrifft eine digitale Interpolationseinrichtung, insbesondere zum Messen von Wegen und/oder Winkeln.

Herkömmliche digitale Interpolationseinrichtungen (DE 37 38 546 C1, DE 37 37 720 C1) beeinflussen zur Regelung der Amplituden der Eingangssignale die Energieversorgung der Lichtsender optischer Abtastsysteme. Nachteilig an dieser Einstellmöglichkeit ist die Beschränkung der Regelung auf optische Abtastsysteme und die Unmöglichkeit, Nullageverschiebungen sowie Phasenfehler zu kompensieren. Außerdem wird zur Gewinnung der Amplitudeninformation oft ein weiterer optischer Empfänger benötigt.

Es ist auch bekannt (DE 28 06 655 A1, DE 27 29 697 A1, DE 30 24 716 A1), digitale Korrekturwerte mit dem Ausgangssignal einer Strecken- bzw. Winkelmessung zu verknüpfen. Der Nachteil solcher Schaltungen besteht in der großen Anzahl dieser Korrekturwerte. Außerdem müssen die Werte in einem Eichvorgang gewonnen werden und sind abhängig von der jeweils eingesetzten Meßeinrichtung.

Eine weitere Möglichkeit der Korrektur von Amplituden- und Nullage- sowie Phasenfehlern ist durch den Einsatz von Mikrorechnern zur Berechnung der Ausgangssignale gegeben (DE 34 13 855 A1, EP 0599175 A1). Nachteilig an dieser Variante ist eine durch Rechenleistung und A/D-Wandlungszeit begrenzte maximale Eingangsfrequenz der Meßsignale. Die beschriebenen Methoden zur Bestimmung der Korrekturwerte setzen voraus, daß spezielle Werte des Signals wie z. B. Maximum und Minimum mit einer großen Genauigkeit digital erfaßt werden. Dies kann nur durch eine in Bezug zum Eingangssignal sehr schnelle Abtastung geschehen.

Zur optimalen Aussteuerung von A/D-Wandlern kann die Offsetkorrektur schon vor der eigentlichen Wandlung erfolgen. (DE 38 36 823). Die beschriebene Methode zur Bestimmung des Gleichanteils mittels digitalem Tiefpaß ist allerdings für Interpolationseinrichtungen ungeeignet, da auch statische analoge Eingangssignale (Frequenz 0) auftreten können.

In DE 195 44 948 A1 ist letztlich eine digitale Interpolationseinrichtung mit Amplituden- und Nullageregelung der Eingangssignale, bestehend aus zwei A/D-Umsetzeranschaltungen für die analogen Eingangssignale, denen eine Zuordnungseinheit, die den digitalen Werten einen Winkelwert und einen Amplitudenwert zuordnet, nachgeschaltet ist, beschrieben, wobei diese Zuordnungseinheit sowohl mit einer aus dem Winkelwert die Ausgangssignale erzeugenden Auswerterschaltung als auch mit einem Regler verbunden ist. Der Regler berechnet vier Referenzwerte, die von jeweils einem D/A-Umsetzer in Steuersignale, die überreits auf die A/D-Umsetzerschaltungen zurückgeführt sind, gewandelt werden. Auch bei dieser Lösung ist die Auflösung der Interpolationseinrichtung begrenzt, da sie abhängig vom Phasenversatz der Eingangssignale ist.

Aufgabe der Erfindung ist es, eine digitale Interpolationseinrichtung zur Erhöhung der Auflösung eines inkrementalen Weg- oder Winkelmesssystems zu schaffen, bei der mit geringem technischem Aufwand und ohne zusätzlichen Einstellaufwand unabhängig von Amplitude und Lage der Signale zueinander eine hohe Regelgenauigkeit der Eingangssignale über einen großen Eingangsfrequenzbereich gewährleistet wird.

Erfindungsgemäß wird die Aufgabe dadurch gelöst, daß zur Korrektur der Phasenlage der digitalen Eingangswerte zwischen den Umsetzeinrichtungen und dem Koordinatentransformationsglied ein Phasenkorrekturglied angeordnet

ist. Dabei sind sowohl einer der digitalen Eingangswerte und der andere durch das Phasenkorrekturglied korrigierte phasenrichtige digitale Eingangswert, als auch der Amplitudenfehlerwert und der Winkelwert als Ausgangssignale des Koordinatentransformationsgliedes über einen Phasenregler durch den Phasenkorrekturwert auf das Phasenkorrekturglied rückgekoppelt. Nach einer Ausgestaltung der Erfindung wird jedes Analogsignal sowohl einer A/D-Umsetzeinrichtungen als auch über jeweils einen Komparator einem Interpolationszähler zugeführt, der seinerseits mit der Auswerterschaltung verbunden ist. Dabei ist es möglich, daß die A/D-Umsetzeinrichtung ein A/D-Wandler ist, wobei die Steuersignale der A/D-Umsetzeinrichtungen den Referenzspannungen des A/D-Wandlers entsprechen. Es ist aber möglich, daß die A/D-Umsetzeinrichtung ein A/D-Wandler ist, dem ein analoges Koeffizientenglied vorgeschaltet ist, wobei die Steuersignale der A/D-Umsetzeinrichtung dem A/D-Wandler als korrigiertes Analogsignal zugeführt werden. Auch ist es möglich, daß die A/D-Umsetzeinrichtung ein A/D-Wandler ist, dem ein digitales Koeffizientenglied nachgeschaltet ist, wobei die Steuersignale der A/D-Umsetzeinrichtung dem digitalen Koeffizientenglied als Digitalwerte zugeführt werden. Die A/D-Umsetzeinrichtung kann aber auch ein A/D-Wandler sein, dem sowohl ein analoges Koeffizientenglied vorgeschaltet ist, als auch ein digitales Koeffizientenglied nachgeschaltet ist, wobei die Steuersignale der A/D-Umsetzeinrichtung sowohl dem analogen Koeffizientenglied als auch dem digitalen Koeffizientenglied zugeführt werden. Vorteilhaft ist es, wenn der Regler aus einem Klassifikator besteht, der den Winkelwerten Zugehörigkeitswerte zuweist, die über Multiplikatoren und Integratoren digitale Referenzwerte ergeben. In einer Ausführungsform der Erfindung besteht der Phasenregler aus einem Abstandsvergleicher, einem Phasenklassifikator, einem Zähler, vier Speichern, einer Recheneinheit und einem Integrator, wobei der digitale Eingangswert, der phasenrichtige digitale Eingangswert und ein Schwellwert dem Abstandsvergleicher, der mit dem Phasenklassifikator und der Recheneinheit verbunden ist, zugeführt werden. Der Winkelwert und das Ausgangssignal des Abstandsvergleichers werden dabei als Vergleichssignal dem Phasenklassifikator zugeführt, wobei das Vergleichssignal dann 1 ist, wenn der Wert von $|x| - |y|$ kleiner als der Schwellwert ist. Der Phasenklassifikator erzeugt sowohl vier Speicherinhaltsintegrale, die über die Speicher und die Recheneinheit dem Integrator, dessen Ausgang konstant ist, wenn sein Eingang den Wert Null hat, zugeführt werden, als auch ein Signal zur Schwellwertänderung, das über den Zähler den Schwellwert darstellt. Bei der softwaremäßigen Realisierung des Phasenreglers wird ein Vergleichswert berechnet, der gleich 1 ist, wenn die Betragsdifferenz $|x| - |y|$ kleiner als das digitale Eingangswertes und des phasenrichtigen digitalen Eingangswertes kleiner als ein Schwellwert ist, und sonst 0 wird. Dabei wird der Schwellwert inkrementiert, wenn eine Folge von Winkelwerten anliegt, bei denen in jedem Quadranten des Einheitskreises mindestens ein Winkelwert erkannt wird, bei dem der zugehörige Vergleichswert den Wert 1 hat, und andernfalls der Schwellwert dekrementiert wird. Es werden vier quadrantenbezogene Quadrantenfehlerwerte berechnet, indem ein Amplitudenfehlerwert genau dann als Quadrantenfehlerwert übernommen wird, wenn der Winkelwert im zugehörigen Quadranten liegt und der Vergleichswert einen Wert von 1 hat. Aus den Quadrantenfehlerwerten und dem Vergleichswert wird eine Phasenänderung dadurch berechnet, daß $\phi_p = (\phi_0 + a_2) - (a_1 + a_3)$ - vgl. gebildet wird. Die Phasenänderung wird letztlich zu einem Phasenkorrekturwert aufaddiert. Nach einer Ausgestaltung der Erfindung erzeugt der Phasenklassifikator, wenn das Vergleichssignal

den Wert 1 hat, in Abhängigkeit von der Lage des Winkelwertes im Einheitskreis quadrantenbezogene Speicherfreiheitsignale. Das Speicherfreiheitsignal, das den Wert 1 hat, liefert über einen Speicher den Amplitudenwert quadrantenbezogen als Quadrantenfehlersignal an die Recheneinheit, die ein Phasenänderungssignal nach der Formel $dp = (a0 + a2) - (a1 + a3) \cdot \text{vgl}$ berechnet.

Die Vorteile der Erfindung bestehen in der Korrektur der Amplituden der Eingangssignale einer digitalen Interpolations-einrichtung bei einem großen zugelassenen Wertebereich dieser Amplituden sowie einer Möglichkeit Nullpunktverschiebungen der Eingangssignale zu korrigieren. Außerdem sollen Phasenfehler der Signale zueinander während der Messung korrigiert werden. Unabhängig von den Amplituden der Eingangssignale wird eine optimale Aussteuerung des analogen Schaltungsteils erreicht. Ein weiterer Vorteil gegenüber rein analogen Amplitudenregelungen besteht in der Möglichkeit, auch bei statischen analogen Eingangssignalen (Frequenz 0) gültige Regelinformationen für Amplitude und Nulllage zu erhalten. Im Gegensatz zur Regelung nach dem Prinzip der Beeinflussung der Energieversorgung von Lichtsensoren entfällt die Beschränkung der Anwendung auf optische Systeme. Durch die Wahl der Einstellpunkte am digitalen Schaltungsenteil können zusätzlich Fehler, die innerhalb des analogen Eingangsteils auftreten, korrigiert werden. Dies ist besonders für die Phasenkorrektur wichtig, da vor allem bei hohen Interpolationsraten und gleichzeitig hohen Eingangsfrequenzen zusätzliche Phasenfehler durch den Phasengang der analogen Eingangsschaltung entstehen. Die Korrektur der genannten Fehler erfolgt kontinuierlich und nur in Abhängigkeit von den digitalisierten Eingangssignalen. Eine aufwendige Ermittlung, Speicherung und Verarbeitung meßsystemabhängiger Korrekturwerte kann somit entfallen. Ein weiterer Vorteil besteht darin, daß keine speziellen Meßwerte wie Maximum, Minimum und Nulldurchgang eines Signals benötigt werden.

Die Erfindung wird nachfolgend anhand von in einer Zeichnung in vereinfachter Weise dargestellten Ausführungsbeispielen näher erläutert. Dabei zeigen:

Fig. 1 ein Blockschaltbild einer Interpolationseinrichtung,

Fig. 2 eine A/D-Umsetzeinrichtung,

Fig. 3 eine andere A/D-Umsetzeinrichtung,

Fig. 4 eine weitere A/D-Umsetzeinrichtung,

Fig. 5 eine weitere A/D-Umsetzeinrichtung,

Fig. 6 ein Blockschaltbild eines Reglers und

Fig. 7 ein Blockschaltbild eines Phasenreglers.

Fig. 1 zeigt einen an sich bekannten Teilsträger 1 und ein an sich bekanntes Gebersystem 2, die zwischen zwei Objekten, deren Relativlage als Weg oder Winkel zu bestimmen ist, angeordnet sind. Zwei zueinander um 90° phasenverschobene einstufige Analogsignale 11 und 12 repräsentieren die Lage des Gebersystems 2 auf dem Teilsträger 1. Diese beiden Analogsignale 11 und 12 werden je einer A/D-Umsetzeinrichtung 4 zugeführt. Der Ausgang der ersten A/D-Umsetzeinrichtung 4 ist mit einem Phasenkorrekturglied 5, einem Koordinatentransformationsglied 6 und einem Phasenregler 15 verbunden. Ein Ausgang des Koordinatentransformationsgliedes 6 ist mit einer Auswerterschaltung 7, dem Regler 8 und dem Phasenregler 15, der zweite Ausgang ist mit dem zweiten Eingang des Reglers 8, dem vier D/A-Umsetzer 9 nachgeschaltet sind, und dem Phasenregler 15 verbunden. Die D/A-Umsetzer 9 sind jeweils auf zwei Eingänge der A/D-Umsetzeinrichtungen 4 rückgekoppelt, der Ausgang des Phasenreglers 15 ist auf das Phasenkorrekturglied 5 rückgekoppelt. Der Ausgang der zweiten A/D-Umsetzeinrichtung 4 ist über das Phasenkorrekturglied

5 ebenfalls sowohl mit dem Koordinatentransformationsglied 6 als auch mit dem Phasenregler 15 verbunden. Nach einem Ausführungsbeispiel der Erfindung sind die Ausgänge des Gebersystems 2 jeweils über einen Komparator 13 und über einen gemeinsamen Interpolationszähler 14 mit der Auswerterschaltung 7 verbunden.

Aus den beiden Analogsignalen 11 und 12 wird in der erfindungsgemäßen Interpolationseinrichtung 3 ein Ausgangswert v mit der sich aus dem geforderten Interpolationsgrad ergebenden Auflösung gewonnen, der den vom Gebersystem 2 auf dem Teilsträger 1 zurückgelegten Drehwinkel oder Weg repräsentiert. Es ist auch möglich, am Ausgang zwei um 90° zueinander verschobene Rechtecksignale u1 und u2 zu erzeugen, in deren Pegelwechsel jeweils eine Änderung des Wertes v und die Richtung dieser Änderung kodiert sind.

Die vom Gebersystem 2 gelieferten Analogsignale 11 und 12 werden in je einer A/D-Umsetzeinrichtung 4 in die digitalen Eingangswerte x und y gewandelt. Die erste A/D-Umsetzeinrichtung 4 wandelt dabei das Signal 11 in einen Wert x, die zweite A/D-Umsetzeinrichtung 4 wandelt das Signal 12 in einen Wert y. Außerdem werden die Analogsignale 11 und 12 von je einem Komparator 13 in Zählereingangssignale zz1 und zz2 umgewandelt, die ihrerseits von dem Interpolationszähler 14 vorzeichenrichtig gezählt werden. Der Zählerausgang bildet einen Quadrantenwert q. Die beiden A/D-Umsetzeinrichtungen 4 arbeiten dabei so, daß eine Beeinflussung des Umsetzergebnisses durch jeweils zwei Steuerungssignale möglich ist. Die Steuerungssignale s1 und s2 beeinflussen dabei die Umsetzung des Analogsignals 11 in den digitalen Eingangswert x, die Steuerungssignale s3 und s4 beeinflussen die Umsetzung des Analogsignals 12 in den digitalen Eingangswert y.

Fig. 2 zeigt den Aufbau einer A/D-Umsetzeinrichtung 4 anhand eines Blockschaltbildes. In den Fig. 3, 4 und 5 sind geringfügig abweichende Ausführungsbeispiele der A/D-Umsetzeinrichtung 4 dargestellt.

Nach Fig. 2 kann die Umsetzung der Analogsignale 11 bzw. 12 dadurch erfolgen, daß der maximal mögliche digitale Ausgangswert d eines A/D-Wandlers 10 derjenigen Eingangsspannung zugeordnet wird, die einer von außen veränderbaren Referenzspannung entspricht, und daß der minimal mögliche digitale Ausgangswert d derjenigen Eingangsspannung zugeordnet wird, die einer zweiten Referenzspannung entspricht. Die Steuerungssignale s1 und s2 der A/D-Umsetzeinrichtung 4 entsprechen dabei den Referenzspannungen des A/D-Wandlers 10, das Analogsignal 1 wird vom A/D-Wandler 10 in den digitalen Ausgangswert d gewandelt.

Fig. 3 zeigt eine andere Möglichkeit der Beeinflussung des Umsetzergebnisses durch die getrennte Beeinflussung von Verstärkung und Nulllage durch ein analoges Koeffizientenglied 11 vor dem A/D-Wandler 10. Ein korrigiertes Analogsignal ergibt sich aus dem Analogsignal 1 und den Steuerungssignalen s1 und s2 so, daß $k = 1 + s1 + s2$ gilt. Im Unterschied zum Ausführungsbeispiel nach Fig. 2 wird hier das korrigierte Analogsignal 11 dem A/D-Wandler 10 zugeführt von diesem in den digitalen Ausgangswert d gewandelt.

Nach Fig. 4 erfolgt die Beeinflussung des Umsetzergebnisses durch ein digitales Koeffizientenglied 12 nach dem A/D-Wandler 10. Am Ausgang des A/D-Wandlers 10 entsteht ein unkorrigiertes Digitalwort d, welches dem digitalen Koeffizientenglied 12 neben den Steuerungssignalen s1 und s2 zugeführt wird. Im Unterschied zu den Ausführungsbeispielen nach Fig. 2 und Fig. 3 sind die Steuerungssignale s1 und s2 Digitalwörter. Der digitale Ausgangswert d wird von dem digitalen Koeffizientenglied 12 nach folgender Vorschrift

gebildet: $d = id \cdot st1 + st2$. Dabei besteht das digitale Koeffizientenglied 12 aus geeigneten Multiplikations- und Additionsschaltungen, es kann aber auch softwaremäßig realisiert werden.

Fig. 5 zeigt ein weiteres Ausführungsbeispiel einer A/D-Umsetzungseinrichtung. Es ergibt sich ein korrigiertes Analogsignal ik aus dem Analogsignal i und einem analogen Anteil der Steuersignale $st1$ und $st2$ so, daß $ik = i \cdot st1 + st2$ gilt. Das korrigierte Analogsignal ik wird vom A/D-Wandler 10 in den unkorrigierten Digitalwert id gewandelt und danach in dem digitalen Koeffizientenglied 12 neben den digitalen Anteilen der Steuersignale $st1$ und $st2$ zugeführt. Der digitale Ausgangswert d wird von dem digitalen Koeffizientenglied 12 nach folgender Vorschrift gebildet: $d = id \cdot st1 + st2$. Das digitale Koeffizientenglied 12 besteht aus geeigneten Multiplikations- und Additionsschaltungen, es kann aber auch als Software implementiert werden.

Die von den A/D-Umsetzungseinrichtungen 4 berechneten digitalen Eingangswerte x und y werden dem Phasenkorrekturglied 5 (Fig. 1) zugeführt. Dieses Phasenkorrekturglied 5 berechnet aus den digitalen Eingangswerten x und y und einem Phasenkorrekturwert p einen phasenrichtigen digitalen Eingangswert yk nach $yk = x \cdot p + y$ mittels geeigneter Multiplikations- und Additionsschaltungen. Es ist aber auch möglich, daß x , y und p Variable eines Programms sind.

Der digitale Eingangswert x und der phasenrichtige Eingangswert yk werden sowohl dem Koordinatentransformationsglied 6, welches daraus den Winkelwert w und den Amplitudenfehlerwert a generiert, als auch dem Phasenregler 15 zugeführt. Zur Berechnung von w und a werden x und yk als Koordinaten in einem kartesischen Koordinatensystem aufgefäßt und in Polarkoordinaten umgewandelt. Dabei gilt bekanntermaßen $w = \arctan(yk/x)$ und $a = \sqrt{x^2 + yk^2} - \text{asoll}$, bzw. $a = x^2 + yk^2 - \text{asoll}$. Der Amplitudensollwert asoll ist dabei eine Konstante. Im einfachsten Fall wird die Koordinatentransformation mittels eines Speichers durchgeführt an dem x und y als Adresse anliegen und eine w und a in den Datenbereich darstellen. Andere Möglichkeiten sind an sich bekannte serielle Berechnungsverfahren der Arcustangensfunktion. Der Amplitudenfehlerwert a wird mit geringer Wortbreite z . B. 2 Bit gebildet. Auch hier ist eine softwaremäßige Realisierung möglich. Die Berechnung der Werte erfolgt nach an sich bekannten Algorithmen für die Arcustangensfunktion und Multiplikation. Der Amplitudenfehlerwert a wird mit einem geringen Wertebereich berechnet, z . B. mit bis zu 4 zugelassenen Werten.

Der Winkelwert w und der Quadrantenwert q werden in der Auswerterschaltung 7 in die Ausgangssignale v und u und $u2$ gewandelt. Die Auswerterschaltung 7 arbeitet so, daß der Winkelwert w und der Quadrantenwert q quadrantenrichtig addiert werden, um den Ausgangswert v zu erhalten. Quadrantenrichtige Addition bedeutet, daß prinzipiell gilt: $v = 0.25 \cdot q + w$. Falls allerdings die sowohl in w als auch in q enthaltenen Quadranteninformationen voneinander abweichen, wird der Wert q um +4 oder -4 geändert, so daß beide Quadranteninformationen wieder gleich sind. Die Differenz zweier aufeinanderfolgender Ausgangswerte v kann mittels eines Zählers in die Rechtecksignale u und $u2$ umkodiert werden. Bei einer Softwarerealisierung sind q , w und v die Variablen des Programms.

Der Amplitudenfehlerwert a sowie der Winkelwert w werden als Wertepaar $[a, w]$ wiederum dem Regler 8 sowie dem Phasenregler 15 zugeführt. Der Regler 8 berechnet daraus neue digitale Referenzwerte $r1$, $r2$, $r3$ und $r4$, die in jeweils einem nachfolgenden D/A-Umsetzer 9 in die Steuersignale der beiden A/D-Umsetzungseinrichtungen $s1$, $s2$, $s3$ und $s4$ gewandelt werden. Im Ausführungsbeispiel nach Fig. 4 können die D/A-Umsetzer 9 entfallen. Der Phasenregler 15

bildet aus a , w , x und yk einen Phasenkorrekturwert p , der wiederum dem Phasenkorrekturglied 5 zugeführt wird. Der Regler 8 und der Phasenregler 15 implementieren die zur Berechnung der Referenzwerte und des Phasenkorrekturwertes notwendigen mathematischen Funktionen mittels einer dazu entworfenen digitalen Schaltung und/oder eines Prozessors mit einer dazu notwendigen Genauigkeit. Die Referenzwerte $r1$, $r2$, $r3$ und $r4$ sowie der Phasenkorrekturwert p ändern sich nicht mehr, wenn alle Wertepaare $[a, w]$ Polarkoordinaten auf dem Einheitskreis repräsentieren. In diesem Fall zeigen die digitalen Signale x und yk einen zeitlichen Verlauf, der zwei sinusförmigen genau um 90° zueinander verschobenen Signalen entspricht, deren Amplituden beide den Wert 1 besitzen und die keine Verschiebung der Nulllage aufweisen.

Fig. 6 zeigt den Aufbau des Reglers 8 anhand eines Blockschaltbildes. Bei einer Softwarerealisierung mittels DSP, Mikroprozessor oder -controller stellen die einzelnen Blöcke entsprechende Programmschritte dar. Die Winkelwerte w werden einem Klassifikator 16 zugeführt, der daraus die Zugehörigkeitswerte $z1$, $z2$, $z3$ und $z4$ berechnet. Die benötigten mathematischen Funktionen legen den Einfluß der vier Referenzwerte $r1$, $r2$, $r3$, $r4$ auf das Gesamtverhalten der Interpolationseinrichtung 3 in Abhängigkeit vom Winkelwert w fest und sind abhängig vom jeweils gewählten Ausführungsbeispiel der A/D-Umsetzungseinrichtung (4). In den Multiplikatoren 17 werden diese Zugehörigkeitswerte mit dem Amplitudenfehlerwert a multipliziert. Die aus dieser Multiplikation resultierenden Korrekturwerte $k1$, $k2$, $k3$ und $k4$ werden in den Integratoren 18 zu den Referenzwerten $r1$, $r2$, $r3$ und $r4$ aufintegriert. Diese Integratoren müssen dabei für den Fall, daß der zugehörige Korrekturwert k den Wert 0 besitzt, am Ausgang einen konstanten Wert liefern. Aus diesem Grund ist an dieser Stelle nur ein digitales Integrationsverfahren (Hard- oder Software) geeignet. Die Integratoren 18 können auch durch Mittelwertbildner, im einfachsten Fall durch Up-Down-Zähler, realisiert werden. Der Aufwand dieses Reglers 8 ist sehr gering, da sowohl der Amplitudenfehlerwert a als auch die Korrekturwerte $k1$, $k2$, $k3$ und $k4$ nur eine Wortbreite von 2 Bit besitzen. Die Referenzwerte $r1$, $r2$, $r3$ und $r4$ ändern sich nicht mehr, wenn alle Wertepaare $[a, w]$ Polarkoordinaten auf dem Einheitskreis repräsentieren.

Fig. 7 zeigt den Aufbau des Phasenreglers 15. Der digitale Eingangswert x und der phasenrichtige digitale Eingangswert yk sowie ein Schwellwert s werden einem Abstandsvergleicher 19 zugeführt. Dieser liefert ein binäres Vergleichssignal vgl , welches gleich 1 ist, wenn der Wert von $yk - lyk$ kleiner als der Schwellwert s ist. Das Vergleichssignal vgl sowie der Winkelwert w werden einem Phasenklassifikator 20 zugeführt, der daraus eine Schwellwertänderung ds sowie vier Speicherfrägsignale $e0$, $e1$, $e2$ und $e3$ zuordnet. Außerdem wird der Vergleichssignal vgl einer Recheneinheit 23 zugeführt. Die Funktion des Phasenklassifikators 20 ist wie folgt: Das Signal $e0$ wird genau dann 1, wenn der Winkelwert w im ersten Quadranten des Einheitskreises liegt und das Vergleichssignal vgl den Wert 1 hat. Das Signal $e1$ wird genau dann 1, wenn der Winkelwert w im zweiten Quadranten des Einheitskreises liegt und das Vergleichssignal vgl den Wert 1 hat. Das Signal $e2$ wird genau dann 1, wenn der Winkelwert w im dritten Quadranten des Einheitskreises liegt und das Vergleichssignal vgl den Wert 1 hat. Das Signal $e3$ wird genau dann 1, wenn der Winkelwert w im vierten Quadranten des Einheitskreises liegt und das Vergleichssignal vgl den Wert 1 hat. In allen anderen Fällen nehmen die Freigabesignale den Wert 0 an. Der Wert der Schwellwertänderung ds nimmt den Wert -1 genau dann an, wenn eine Folge von Winkelwerten w an-

liegt, bei denen in jedem Quadrant des Einheitskreises mindestens ein Winkelwert w erkannt wird, bei dem der zugehörige Vergleichswert v gl den Wert 1 hat, andernfalls wird die Schwellwertänderung $dsw + 1$. Das Signal dsw wird mit einem Zähler 21 verbunden, dessen Ausgangswert der Schwellwert sw ist. Dieser Zähler zählt aufwärts, wenn dsw den Wert 1 besitzt, bei einem Wert -1 am Signal dsw zählt dieser abwärts, jedoch nicht tiefer als bis zu einem Wert von 2. Die Speicherfreigabesignale $e0, e1, e2$ und $e3$ werden mit je einem Speicher 22 verbunden, an deren Dateneingängen der Amplitudenfehlerwert a anliegt. Die Speicherausgänge bilden die Quadrantenfehlersignale $a0, a1, a2$ und $a3$. Dabei wird der Amplitudenfehlerwert a genau dann an das Quadrantenfehlersignal $a0$ übertragen, wenn das Speicherfreigabesignal $e0$ den Wert 1 besitzt, er wird genau dann an das Quadrantenfehlersignal $a1$ übertragen, wenn das Speicherfreigabesignal $e1$ den Wert 1 besitzt, nur wenn das Speicherfreigabesignal $e2$ den Wert 1 besitzt wird er an das Quadrantenfehlersignal $a2$ übertragen und er wird genau dann an das Quadrantenfehlersignal $a3$ übertragen, wenn Speicherfreigabesignal $e3$ den Wert 1 besitzt. Die Quadrantenfehlersignale $a0, a1, a2$ und $a3$ werden ihrerseits neben dem Vergleichssignal v gl mit der Recheneinheit 23 verbunden. Die Recheneinheit berechnet daraus die Phasenänderung dp nach der festen Formel $dp = ((a0 + a2) - (a1 + a3)) \cdot v$ gl. Die Phasenänderung dp wird 0, wenn das Signal v gl den Wert 0 besitzt, andernfalls zeigt es die Lage einer Ellipse an, die die Signale x und yk im Einheitskreis bilden. In einem Integrator 24 wird die Phasenänderung dp zum Phasenkorrekturwert p integriert. Dieser Faktor muß konstant bleiben, wenn dp den Wert 0 besitzt.

Bei einer Softwarerealisierung mittels DSP, Mikroprozessor oder -controller stellen die einzelnen Blöcke entsprechende Programmschritte dar. So wird im Phasenregler 15 wird ein Verfahren zur Phasenreglung realisiert:

- 1) Es wird ein Vergleichswert berechnet, der gleich 1 ist, wenn die Betragsdifferenz $hd - lykd$ des digitalen Eingangswertes (x) und des phasenrichtigen digitalen Eingangswertes (yk) kleiner als ein Schwellwert sw ist, und sonst 0 wird.
- 2) Es wird der Schwellwert sw inkrementiert, wenn eine Folge von Winkelwerten w anliegt, bei denen in jedem Quadrant des Einheitskreises mindestens ein Winkelwert w erkannt wird, bei dem der zugehörige Vergleichswert Wert 1 hat, andernfalls wird der Schwellwert sw dekrementiert.
- 3) Es werden vier quadrantenbezogene Quadrantenfehlerwerte berechnet, indem ein Amplitudenfehlerwert a genau dann als Quadrantenfehlerwert übernommen wird, wenn der Winkelwert w im zugehörigen Quadranten liegt und der Vergleichswert einen Wert von 1 hat.
- 4) Es wird aus den Quadrantenfehlerwerten und dem Vergleichswert eine Phasenänderung dp dadurch berechnet, daß $dp = ((a0 + a2) - (a1 + a3)) \cdot v$ gl gebildet wird.
- 5) Die Phasenänderung wird zu einem Phasenkorrekturwert p aufaddiert.

Aufstellung der Bezugszeichen

- 1 Teilungsträger
- 2 Giebersystem
- 3 Interpolationseinrichtung
- 4 A/D-Umsetzeinrichtung
- 5 Phasenkorrekturglied

- 6 Koordinatentransformationsglied
- 7 Auswerteschaltung
- 8 Regler
- 9 D/A-Umsetzer
- 10 A/D-Wandler
- 11 analoges Koeffizientenglied
- 12 digitales Koeffizientenglied
- 13 Komparator
- 14 Interpolationszähler
- 15 Phasenregler
- 16 Klassifikator
- 17 Multiplikator
- 18 Integrator
- 19 Abstandsvergleicher
- 20 Phasenklassifikator
- 21 Zähler
- 22 Speicher
- 23 Recheneinheit
- 24 Integrator
- 20 i1, i2 Analogsignale
- v Ausgangswert
- u1, u2 Rechtecksignale
- x, y digitale Eingangswerte
- zz1, zz2 Zählereingangssignale
- 25 q Quadrantenwert
- s1, s2, s3, s4 Steuersignale
- st1, st2 Steuersignale einer A/D-Umsetzeinrichtung
- d digitaler Ausgangswert
- ik korrigiertes Analogsignal
- id unkorrigierter Digitalwert
- p Phasenkorrekturwert
- yk phasenrichtiger digitaler Eingangswert
- w Winkelwert
- a Amplitudenfehlerwert
- 35 asoll Amplitudensollwert
- r1, r2, r3, r4 digitale Referenzwerte
- z1, z2, z3, z4 Zugehörigkeitswerte
- k1, k2, k3, k4 Korrekturwerte
- sw Schwellwert
- 40 vgl Vergleichssignal
- dsw Schwellwertänderung
- a0, a1, a2, a3 Quadrantenfehlersignale
- e0, e1, e2, e3 Speicherfreigabesignale
- dp Phasenänderung

Patentsprüche

1. Digitale Interpolationseinrichtung, bestehend aus zwei A/D-Umsetzeinrichtungen für die analogen Eingangssignale, denen ein Koordinatentransformationsglied, das den digitalen Eingangswerten einen Winkelwert und einen Amplitudenwert zuordnet, nachgeschaltet ist, wobei dieses Koordinatentransformationsglied sowohl mit einer aus dem Winkelwert die Ausgangssignale erzeugenden Auswerteschaltung als auch mit einem Regler, welcher vier Referenzwerte berechnet, die von jeweils einem D/A-Umsetzer in Steuersignale, die ihrerseits auf die A/D-Umsetzeinrichtungen zurückgeführt sind, gewandelt werden, verbunden ist, dadurch gekennzeichnet, daß zur Korrektur der Phasenlage der digitalen Eingangswerte (x, y) zwischen den A/D-Umsetzeinrichtungen (4), und dem Koordinatentransformationsglied (6) ein Phasenkorrekturglied (5) angeordnet ist und daß sowohl einer der digitalen Eingangswerte (x) und der andere durch das Phasenkorrekturglied (5) korrigierte phasenrichtige digitale Eingangswert (yk), als auch der Amplitudenfehlerwert (a) und der Winkelwert (w) als Ausgangssignale des

Koordinatentransformationsglied (6) über einen Phasenregler (15) durch den Phasenkorrekturwert (p) auf das Phasenkorrekturglied (5) rückgekoppelt sind.

2. Digitale Interpolationseinrichtung nach Anspruch 1, dadurch gekennzeichnet, daß jedes Analogsignal (i1, i2) sowohl je einer der A/D-Umsetzungseinrichtungen (4) als auch über jeweils einen Komparator (13) einem Interpolationszähler (14) zugeführt wird, der seinerseits mit der Auswerteschaltung (7) verbunden ist.

3. Digitale Interpolationseinrichtung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die A/D-Umsetzungseinrichtung (4) ein A/D-Wandler (10) ist, wobei die Steuersignale (st1, st2) der A/D-Umsetzungseinrichtung (4) den Referenzspannungen des A/D-Wandlers (10) entsprechen.

4. Digitale Interpolationseinrichtung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die A/D-Umsetzungseinrichtung (4) ein A/D-Wandler (10) ist, dem ein analoges Koeffizientenglied (11) vorgeschaltet ist, wobei die Steuersignale (st1, st2) der A/D-Umsetzungseinrichtung (4) dem A/D-Wandler (10) als korrigiertes Analogsignal (ik) zugeführt werden.

5. Digitale Interpolationseinrichtung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die A/D-Umsetzungseinrichtung (4) ein A/D-Wandler (10) ist, dem ein digitales Koeffizientenglied (12) nachgeschaltet ist, wobei die Steuersignale (st1, st2) der A/D-Umsetzungseinrichtung (4) dem digitalen Koeffizientenglied (12) als Digitalwerte zugeführt werden, das den digitalen Ausgangswert (d) nach folgender Vorschrift bildet $d = id \cdot st1 + st2$.

6. Digitale Interpolationseinrichtung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die A/D-Umsetzungseinrichtung (4) ein A/D-Wandler (10) ist, dem sowohl ein analoges Koeffizientenglied (11) vorgeschaltet, als auch ein digitales Koeffizientenglied (12) nachgeschaltet ist, wobei die Steuersignale (st1, st2) der A/D-Umsetzungseinrichtung (4) sowohl dem analogen Koeffizientenglied (11) als auch dem digitalen Koeffizientenglied (12) zugeführt werden.

7. Digitale Interpolationseinrichtung nach Anspruch 6, dadurch gekennzeichnet, daß für den Ausgangswert des analogen Koeffizientengliedes (11), das korrigierte Ausgangssignal (ik), $ik = i \cdot st1a + st2a$ und für den Ausgangswert des digitalen Koeffizientengliedes (12), den digitalen Ausgangswert (d), $d = id \cdot st1d + st2d$ gilt.

8. Digitale Interpolationseinrichtung nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß der Regler (8) aus einem Klassifikator (16) besteht, der den Winkelwerten (w) Zugehörigkeitswerte (r1, r2, r3, r4) zuweist, die in Verbindung mit dem Amplitudenfehlerwert (a) über Multiplikatoren (17) und Integratoren (18) digitale Referenzwerte (r1, r2, r3, r4) ergeben.

9. Digitale Interpolationseinrichtung nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß der Phasenregler (15) aus einem Abstandsvergleicher (19), einem Phasenklassifikator (20), einem Zähler (21), vier Speichern (22), einer Recheneinheit (23) und einem Integrator (24) besteht, wobei der digitale Eingangswert (x), der phasenrichtige digitale Eingangswert (yk) und ein Schwellwert (sw) dem Abstandsvergleicher (19), der mit dem Phasenklassifikator (20) und der Recheneinheit (23) verbunden ist, zugeführt werden, der Winkelwert (w) und das Ausgangssignal des Abstandsvergleichers (19) als Vergleichssignal (vgl) dem Phasenklassifikator (20) zugeführt werden, wobei das Vergleichssignal (vgl) dann 1 ist, wenn der Wert von $|\Delta|$

lykl kleiner als der Schwellwert (sw) ist, und der Phasenklassifikator (20) sowohl vier Speicherfreigabesignale (e0, e1, e2, e3) erzeugt, die über die Speicher (22) und die Recheneinheit (23) dem Integrator (24), dessen Ausgang konstant ist, wenn sein Eingang den Wert Null hat, zugeführt werden, als auch ein Signal zur Schwellwertänderung (dsw), das über den Zähler (21) den Schwellwert (sw) darstellt.

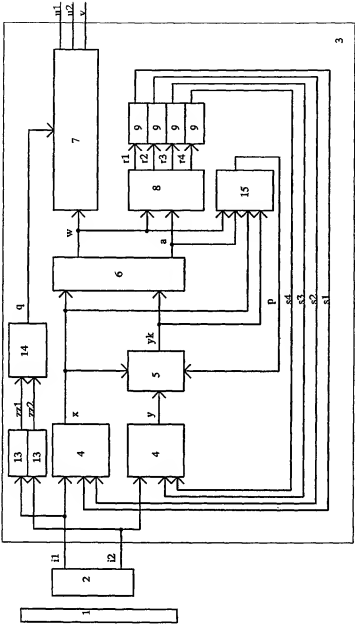
10. Digitale Interpolationseinrichtung nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß im Phasenregler (15) ein Vergleichswert berechnet wird, der gleich 1 ist, wenn die Betragsdifferenz $|x - y|$ lykl des digitalen Eingangswertes (x) und des phasenrichtigen digitalen Eingangswertes (yk) kleiner als ein Schwellwert (sw) ist, und sonst 0 wird, daß der Schwellwert (sw) inkrementiert wird, wenn eine Folge von Winkelwerten (w) anliegt, bei denen in jedem Quadranten des Einheitskreises mindestens ein Winkelwert (w) erkannt wird, bei dem der zugehörige Vergleichswert den Wert 1 hat, und andernfalls der Schwellwert (sw) dekrementiert wird, daß vier quadrantenbezogene Quadrantenfehlerwerte berechnet werden, indem ein Amplitudenfehlerwert (a) genau dann als Quadrantenfehlerwert übernommen wird, wenn der Winkelwert (w) im zugehörigen Quadranten liegt und der Vergleichswert einen Wert von 1 hat, daß aus den Quadrantenfehlerwerten und dem Vergleichswert eine Phasenänderung (dp) dadurch berechnet wird, daß $dp = ((a0 + a2) - (a1 + a3)) \cdot vgl$ gebildet wird, und daß die Phasenänderung (dp) zu einem Phasenkorrekturwert (p) aufaddiert wird.

11. Digitale Interpolationseinrichtung nach Anspruch 9, dadurch gekennzeichnet, daß der Phasenklassifikator (20), wenn das Vergleichssignal (vgl) den Wert 1 hat, in Abhängigkeit von der Lage des Winkelwertes (w) im Einheitskreis quadrantenbezogene Speicherfreigabesignale (e0, e1, e2, e3) erzeugt, daß das Speicherfreigabesignal, das den Wert 1 hat, den Amplitudenwert (a) quadrantenbezogen als Quadrantenfehlersignal (a0, a1, a2, a3) an die Recheneinheit (23) liefert, die die Phasenänderungssignal (dp) nach der Formel $dp = ((a0 + a2) - (a1 + a3)) \cdot vgl$ berechnet.

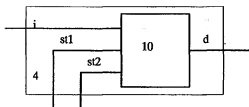
12. Digitale Interpolationseinrichtung nach einem der Ansprüche 1 bis 11, dadurch gekennzeichnet, jede der Komponenten Phasenkorrekturglied (5), Koordinatentransformationsglied (6), Auswerteschaltung (7), Regler (8), digitales Koeffizientenglied (12), Phasenregler (15), Phasenklassifikator (20), Zähler (21), Speicher (22), Recheneinheit (23) und Integrator (24) hardware- oder softwaremäßig realisiert ist.

Hierzu 3 Seite(n) Zeichnungen

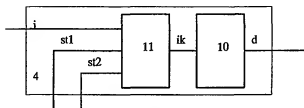
- Leerseite -



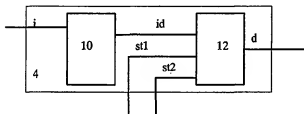
Figur 1



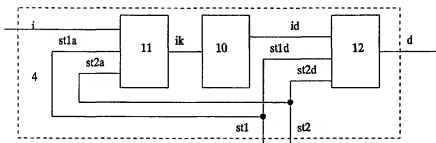
Figur 2



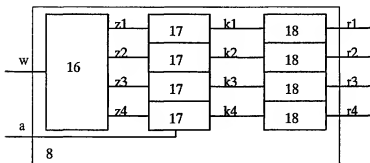
Figur 3



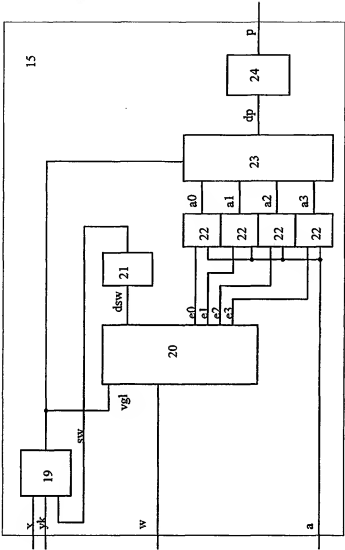
Figur 4



Figur 5



Figur 6.



Figur 7